

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10395800

Basic Patent (No,Kind,Date): JP 4058563 A2 920225 <No. of Patents: 001>

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKENAKA SATOSHI

IPC: *H01L-029/784; H01L-021/20; H01L-021/84

CA Abstract No: 117(08)081691K

Derwent WPI Acc No: C 92-187187

JAPIO Reference No: 160259E000162

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|------------|------|--------|-------------|------|----------------|
| JP 4058563 | A2 | 920225 | JP 90170506 | A | 900628 (BASIC) |

Priority Data (No,Kind,Date):

JP 90170506 A 900628

03693463 ****Image available****

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: **04-058563** [JP 4058563 A]

PUBLISHED: February 25, 1992 (19920225)

INVENTOR(S): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 02-170506 [JP 90170506]

FILED: June 28, 1990 (19900628)

INTL CLASS: [5] H01L-029/784; H01L-021/20; H01L-021/84

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1215, Vol. 16, No. 259, Pg. 162, June 11, 1992 (19920611)

ABSTRACT

PURPOSE: To obtain a hydrogenation method which is rich in mass production by performing hydrogenation of an unsingle crystal semiconductor thin film and growth of a solid phase of a hydrogenation amorphous silicon thin film, enabling a film whose hydrogen diffusion coefficient is lower than that of silicon dioxide to be eliminated, and by patterning the silicon thin film for obtaining a gate electrode.

CONSTITUTION: In a manufacture of a thin film semiconductor device with an unsingle crystal semiconductor thin film, a gate insulating film, and a gate electrode, the following processes are provided, namely a process for forming an unsingle crystal semiconductor thin film on an insulating substrate, a process for forming a gate insulating film, a process for forming an amorphous silicon hydride thin film on the gate insulating film and then forming a film with a film whose hydrogen diffusion coefficient is lower than that of silicon dioxide, a process for hydrogenerating the unsingle crystal semiconductor thin film by performing heat treatment within a temperature range of 300-600 deg.C and at the same time for performing solid phase growth of the amorphous silicon hydride thin film, a process for eliminating a film whose hydrogen diffusion coefficient is lower than that of silicon dioxide, and a process for patterning the amorphous silicon hydride thin film for forming the gate electrode.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-58563

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月25日

H 01 L 29/784
21/20
21/84

9171-4M
7739-4M
9056-4M

H 01 L 29/78 311 G

審査請求 未請求 請求項の数 5 (全6頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 平2-170506

⑰ 出 願 平2(1990)6月28日

⑱ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発 明 の 名 称

薄膜半導体装置の製造方法

2. 特 許 請 求 の 範 囲

(1) 非単結晶半導体薄膜とゲート絶縁膜とゲート電極を有する薄膜半導体装置の製造方法において、絶縁基板上に非単結晶半導体薄膜を形成する工程と、ゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に水素化非晶質シリコン薄膜を成膜し、続いて水素の拡散係数が二酸化珪素よりも低い膜を成膜する工程と、300℃～600℃の温度範囲で熱処理することにより前記非単結晶半導体薄膜を水素化するとともに前記水素化非晶質シリコン薄膜を固相成長させる工程と、前記水素の拡散係数が二酸化珪素よりも低い膜を除去する工程と、前記水素化非晶質シリコン薄膜をパターンニングしてゲート電極とする工程を少なくとも含むことを特徴とする薄膜半導体装置の製造方法。

(2) 前記水素化非晶質シリコン薄膜は、不純物としてリンあるいはボロンを含むことを特徴とする請求項1記載の薄膜半導体装置の製造方法。

(3) 前記水素の拡散係数が二酸化珪素よりも低い膜は窒化珪素膜であることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

(4) 前記水素の拡散係数が二酸化珪素よりも低い膜はクロムあるいはアルミニウム等の金属であることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

(5) 前記ゲート電極をマスクとして自己整合的にソース部及びドレイン部を形成することを特徴とする請求項1記載の薄膜半導体装置の製造方法。

3. 発 明 の 詳 細 な 説 明

[産業上の利用分野]

本発明は、薄膜半導体装置の製造方法に関わり、特にトラップ密度の少ない多結晶シリコン薄膜半導体装置の製造方法に関する。

〔従来の技術〕

非晶質シリコン薄膜あるいは多結晶シリコン薄膜等のような非単結晶半導体薄膜には、ダングリングボンドが多数存在する。たとえば、多結晶シリコン薄膜に関しては、結晶粒界に存在するダングリングボンド等の欠陥が、キャリアに対するトラップ準位となりキャリアの伝導に対して障壁として働く。(J. Y. W. Seto, J. Appl. Phys., 46, p5247 (1975))

多結晶シリコン薄膜トランジスタのON電流 I_{on} は次式で表される。

$$I_{on} \propto l \cdot \exp \{ -A \cdot Nt / kT \} \quad (1)$$

ここで l は結晶粒径、 Nt は結晶粒界に存在するTrap密度、 k はボルツマン定数、 T は温度、 A は比例定数を表している。(J. Levins on, J. Appl. Phys. 53 (2), p

ダメージによりトランジスタ特性のシフトという問題が存在する。

本発明は、簡単な方法でかつプラズマダメージ等のプロセス上の問題点を解決しより量産性に富んだ水素化方法を提供することを目的とするものである。

〔課題を解決するための手段〕

本発明の薄膜半導体装置の製造方法は、(1)

非単結晶半導体薄膜とゲート絶縁膜とゲート電極を有する薄膜半導体装置の製造方法において、絶縁基板上に非単結晶半導体薄膜を形成する工程と、ゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に水素化非晶質シリコン薄膜を成膜し、続いて水素の拡散係数が二酸化珪素よりも低い膜を成膜する工程と、 $300^{\circ}\text{C} \sim 600^{\circ}\text{C}$ の温度範囲で熱処理することにより前記非単結晶半導体薄膜を水素化するとともに前記水素化非晶質シリコン薄膜を固相成長させる工程と、前記水素の拡散係数が二酸化珪素よりも低い膜を除去する工程と、前記水素化非晶質シリコン薄膜をパターニングし

1193, (1982))。前記水素を添加して欠陥を低減させるということは、(1)式において Nt を小さくすることである。従って、多結晶シリコン薄膜トランジスタの性能を向上させる為には、前記欠陥を低減させる必要がある。(J. Appl. Phys., 53 (2), p1193 (1982))。

〔発明が解決しようとする課題〕

この目的の為に水素による前記欠陥の終端化が行われており、その主な方法として、水素プラズマ処理法、水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法等が知られている。水素イオン注入法においては、イオン注入装置と言う高価な装置を必要とする欠点を有しており、プラズマ窒化膜からの水素の拡散法においては、必要としない窒化膜が成膜されると言う欠点を有する。また、水素プラズマ処理法(T. I. Kam ins, IEEE Electron Device Letters, Vol. EDL-1, No. 8, p159, (1980))は、プラズマ

でゲート電極とする工程を少なくとも含むことを特徴とする。

(2) 前記水素化非晶質シリコン薄膜は、不純物としてリンあるいはボロンを含むことを特徴とする。

(3) 前記水素の拡散係数が二酸化珪素よりも低い膜は窒化珪素膜であることを特徴とする。

(4) 前記水素の拡散係数が二酸化珪素よりも低い膜はクロムあるいはアルミニウム等の金属であることを特徴とする。

(5) 前記ゲート電極をマスクとして自己整合的にソース部及びドレイン部を形成することを特徴とする。

〔実施例〕

第1図(a)に於て、1-1は非晶質絶縁基板である。石英基板あるいはガラス基板などが用いられる。 SiO_2 で覆われた Si 基板を用いることもある。石英基板あるいは SiO_2 で覆われた Si 基板を用いる場合は 1200°C の高温プロセスにも耐えることができるが、ガラス基板を用い

る場合は酸化温度が低いために約600℃以下の低温プロセスに制限される。また、ガラス基板は、酸化膜あるいは窒化膜でコーティングして基板からの不純物のしみだしを防止して用いられることもある。はじめに非晶質絶縁基板1-1上にa-Si膜1-2を堆積させる。該a-Si膜1-2は一樣で、微小な結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。堆積方法としてはEB(Electron Beam)蒸着法やスパッタ法やCVD法や光CVD法やプラズマCVD法がある。プラズマCVD法は、光起電力素子や、フォトダイオードや、感光ドラムなどを作製する場合によく用いられる方法である。a-Si:H膜を堆積させるには、シランガス(SiH_4)をヘリウムガス(He)あるいは水素ガス(H_2)で適した濃度に希釈し、高周波電圧を加して、分解堆積させる。プラズマCVD法の場合は、基板温度が500℃以下でも成膜できる。前記シランガスの代わりにジシランガスあるいはトリシランガスを用いると、さらに低い基板温度

また、シリコン薄膜1-2は減圧CVD法やMBE法などで成膜されたpoly-Si膜であってもかまわない。

次に前記固相成長したシリコン薄膜1-3をフォトリソグラフィ法によりパターンニングして第1図(c)に示すように島状にする。

次に第1図(d)に示されているように、ゲート酸化膜1-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面単位の少ない優れた膜となる。非晶質絶縁基板1-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。なお、

でも成膜することが可能となる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。その後、400℃~500℃のアニールを行い非晶質シリコン薄膜から水素を放出させる。

次に、前記シリコン薄膜1-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10⁻⁴から1×10⁻¹Torrの高真空雰囲気で行ってもよい。固相成長アニール温度は500℃~700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。第1図(b)において、1-3は固相成長したシリコン薄膜を示している。

なお、シリコン薄膜1-2の成膜と固相成長は真空を破らずに連続で行なってもかまわない。

第1図(d)は、熱酸化法によってゲート酸化膜を形成した場合の実施例について説明している。

次に、第1図(e)に示されるように、プラズマCVD装置を用い、フォスフィンガス(PH_3)とシランガスあるいはジボランガス(B_2H_6)とシランガスとの混合ガスをグロー放電分解することによってn型あるいはp型の水素化非晶質シリコン薄膜1-5を成膜する。前記シランガスの代わりにジシランガス(Si_2H_6)あるいはトリシランガス(Si_3H_8)を用いてもよい。また前記混合ガスを水素ガスによって希釈してもよい。膜厚は2000Å~5000Åが適している。成膜時の前記ガスの流量比を變えることにより、前記水素化非晶質シリコン薄膜1-5に含まれるリンやボロン等の不純物量や水素量を制御することが出来る。前記不純物は1~10at.omic%程度、水素は1~20at.omic%程度含んだ水素化非晶質シリコン薄膜を成膜する。

続いて、水素の拡散係数が二酸化珪素に置ける水素の拡散係数よりも小さい材質のキャップ膜1

6を成膜する。材料としては、クロムやアルミニウム等の金属膜あるいは窒素珪素膜等を用いる。クロムやアルミニウム等の金属膜はEB蒸着法やスパッタ法等の方法で成膜するのが簡単である。膜厚はおよそ1000Å以上あればよい。また、窒化珪素膜はプラズマCVD法によりシランガスとアンモニアガス(NH_3)との混合ガスをグロー放電分解して成膜するのが低温で出来る適した方法である。

次に、 N_2 ガス雰囲気中において300°C~600°Cの温度でアニールする。水素化非晶質シリコン薄膜は熱処理温度に対して3個の明確な水素脱離ピークを有しており、その低温側のピークは300°C~450°Cに存在していることが知られている。前記の温度で熱処理を行なうと不純物添加水素化非晶質シリコン薄膜1-5から水素が脱離すると同時に固相成長し、1-5は不純物添加固相成長シリコン膜となる。水素が放出されるが、二酸化珪素膜(SiO_2)で構成されたゲート酸化膜1-4に比べて前記キャップ膜1-6における

固相成長シリコン膜1-5をフォトリソグラフィ法によりパターンニングし、ゲート電極1-7を形成する。

続いて第1図(i)に示すように、前記ゲート電極1-7をマスクとして不純物をイオン注入し、自己整合的にソース領域1-8およびドレイン領域1-9を形成する。前記不純物としては、 N 、 C 、 H トランジスタを作製する場合は P^+ あるいは As^+ を用い、 P 、 C 、 H トランジスタを作製する場合は B^+ 等を用いる。その後、基板の素子側からランプあるいは赤外線ランプを照射して前記不純物を活性化させる。前記二層ゲート電極がランプの光エネルギーを吸収するのでシリコン薄膜1-3は加熱されない。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。これらの方法ではドーピングされたときに不純物は活性化されている。1-10で示される矢印は不純物のイオンビームを表している。不純物濃度は、 1×10^{15} から $1 \times 10^{20} \text{ cm}^{-3}$ 程度とする。

水素の拡散係数は小さいので、脱離した水素はゲート酸化膜1-4を透過してシリコン薄膜1-3の中に拡散する。模式図を第2図に示す。2-1は絶縁基板、2-2はシリコン薄膜、2-3はゲート酸化膜、2-4は不純物添加水素化非晶質シリコン薄膜、2-5は水素の拡散係数が二酸化珪素よりも小さい膜で形成されたキャップ膜である。図中に黒丸で水素イオンを表した。矢印はアニール中の水素イオンの動きを示している。

従って、第1図においてシリコン薄膜1-3に存在するダングリングボンドや界面準位に水素が結合し、トラップ密度が減少する。その結果、(1)式に示されるとおり、 I_{on} が増大し、TFT特性が改善される。

次に、第1図(g)に示すように、前記キャップ膜1-6を除去する。窒化膜は熱リン酸等もちいてエッチングする。クロムやアルミニウム等の金属膜はリン酸と硝酸と酢酸の混合液等もちいてエッチングする。

次に第1図(h)に示されるように、不純物添

続いて第1図(j)に示されるように、層間絶縁膜1-11を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千人から数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH_3)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

次に第1図(k)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極1-12およびドレイン電極1-13とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

〔発明の効果〕

従来の水素プラズマ方法では、高周波電界により励起された水素イオンに起因したゲート酸化膜

のチャージアップと基板加熱とによるダメージが生じTFT特性がシフトして著しく劣化するという問題点があった。

本発明は、このような水素プラズマ処理にともなうダメージを解決しより簡単な方法で多結晶シリコンに対する水素化の効果を實現するものである。

TFT製造工程において、ゲート酸化膜成膜後リンあるいはボロンを添加した水素化非晶質シリコン薄膜を成膜しその上に、窒化膜あるいは金属膜等の水素の拡散係数が二酸化珪素よりも小さい膜を積層し、300℃～600℃の温度でアニールするので前記水素化非晶質シリコン薄膜から水素が離脱し、水素はゲート酸化膜を透過して多結晶シリコン薄膜中に拡散し、グレインバンダリーのダングリングボンド等を終端化させて水素プラズマと同等の効果が得られる。また、水素プラズマ法のような、高周波電界と熱処理を同時に行なうこともないのでダメージが全く生じない。

いっぽう、前記水素化非晶質シリコン薄膜は400℃～600℃の温度でアニールされているの

さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに附調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を實現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

で固相成長している。さらに、不純物を含んでいるためより大きな結晶粒徑に成長しており、比抵抗率も非常に小さくなっている。本発明では、このような比抵抗率の非常に小さい固相成長シリコン薄膜を用いてゲート電極としている。従って、アクティブマトリクス基板に本発明を応用すると、ゲート線の配線抵抗の低減に大きな効果がある。

あらためてゲート電極の材料となる膜を成膜する必要が無いので工程の簡略化にも効果がある。

本発明によって薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショールド電圧も小さくなりトランジスタ特性が大きく改善される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高運動作が實現される。ゲート配線抵抗もきわめて小さくなるので基板の大面積化にも大きな効果が期待される。

この他、高精細液晶テレビあるいは駆動回路を同一基板上に集積したサーマルヘッドへの応用も可能となる。

石英基板やガラス基板だけではなく、サファイア基板(Al_2O_3)あるいは $MgO \cdot Al_2O_3$ 、BP、 CaF_2 等の結晶性絶縁基板も用いることができる。

以上実施例では薄膜トランジスタを例として説明したが、通常のMOSトランジスタやバイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

なお実施例では、非晶質半導体薄膜の形成方法としてプラズマCVD装置を用いた場合について説明したが、EB蒸着法やスパッタ法や減圧CVD法等他の方法を用いることもできる。また、固相成長やゲート酸化を同一チェンバー内で行うとして説明したが、基板を大気に取り出さなければ

別のチェンバーを用いても問題はない。

4. 図面の簡単な説明

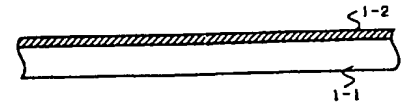
第1図(a)から(k)は、本発明の実施例を示す工程断面図である。

第2図は、アニールによる不純物添加非晶質シリコン薄膜中の水素イオンの動きを示す断面図である。

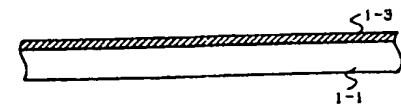
- 1-1 ; 絶縁基板
- 1-3 ; シリコン薄膜
- 1-4 ; ゲート酸化膜
- 1-5 ; 不純物添加非晶質シリコン薄膜
- 1-6 ; キャップ膜

膜

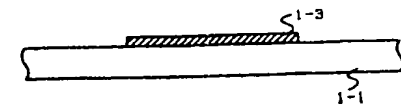
以上



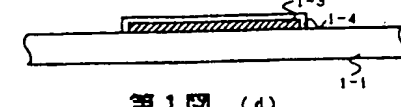
第1図 (a)



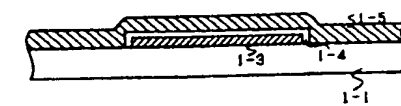
第1図 (b)



第1図 (c)



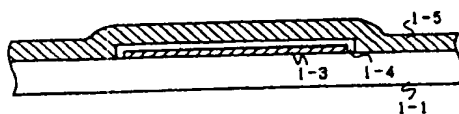
第1図 (d)



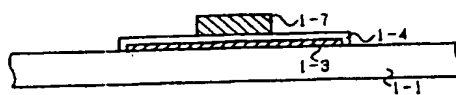
第1図 (e)



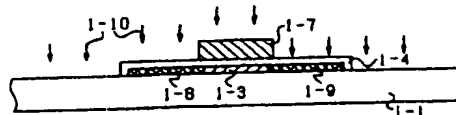
第1図 (f)



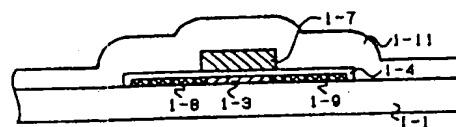
第1図 (g)



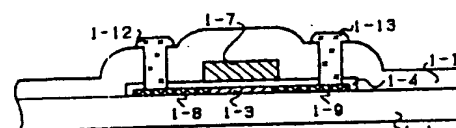
第1図 (h)



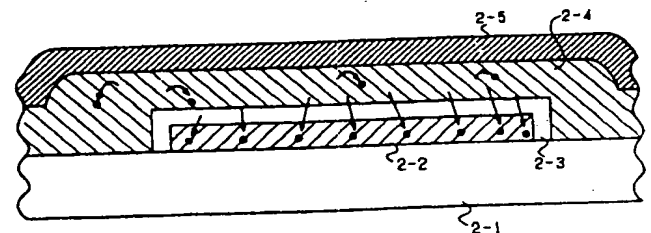
第1図 (i)



第1図 (j)



第1図 (k)



第2図